

## Reference 1

Partial Translation:

Japanese Patent Application laid open No. S60-126871

Title of the invention: Semiconductor Pressure-sensitive device  
and method for manufacturing thereof

Application No.: S58-234276  
Filing Date : December 14, 1983  
Publication Date: July 6, 1985  
Inventor : Isao SHIMIZU et al.,  
Applicant : Hitachi Ltd.  
Hitachi Microcomputer Engineering Ltd.

## [Embodiment]

Figs. 3 to 7 show sectional views each indicates a process for manufacturing a diaphragm sensor using a silicone crystalline substrate according to an embodiment of the present invention. Each process will now be explained.

(1) A P-channel impurity doped high-resistivity silicon substrate having a thickness of 400 micro meters is provided. As shown in Fig. 3, the ions of  $O_2$  or  $N_2$  are implanted to a diaphragm region in the surface 1A through a mask 5. In this occasion, the ion implanting energy is 250 KeV, the density of impurity is  $10^{16}$  atoms/cm<sup>2</sup>, and the depth of implanting is 0.2 micro meters.

(2) Then, the silicone is epitaxially grown under a low-pressured and low temperature condition (800 °C) so as to form, as shown in Fig. 4, an n-channel impurity doped silicone crystalline layer (n-type Si layer) 6 at the position 20 micro meter below the surface.

(3) By using a conventional technique for selective impurity diffusion, as shown in Fig. 5, a p-channel diffusion resistance layer 7 are formed in the diaphragm region while a required semiconductor region (not shown) is formed in a peripheral portion. The heating process accompanied with

the diffusion (1200 °C) causes O<sub>2</sub> or N<sub>2</sub> introduced at the process (1) to be activated so as to form an insulating membrane 8 such as SiO<sub>2</sub> or Si<sub>3</sub>N<sub>4</sub> at the interfacial portion between the P-channel Si substrate and the epitaxial n-channel Si layer 6.

(4) The back surface 1B of the semiconductor substrate 1 is polished to accomplish specular finish and a mask 9 comprising a resist (corrosion-resistant resin) or oxide layer (SiO<sub>2</sub>) is formed thereon. Anisotropic etching is performed through the circular window of the mask to form the diaphragm. In this regard, the principal surface of the crystalline substrate is selected to be a <100> plane and alkaline liquid is used as etch liquid, whereby a recess 2 of gradient  $\theta=57^\circ$  (i.e. octagonal recess) is formed on the back surface of the substrate. In this occasion, the insulating membrane 8 such as SiO<sub>2</sub> or Si<sub>3</sub>N<sub>4</sub> formed between the substrate 1 and the epitaxial layer functions as an etch stopper to control the depth of recess. The diaphragm having desired thin portion is thus obtained.

The thickness of thin portion of the diaphragm is determined by that of the epitaxial layer. However, since the thickness of the epitaxial layer is accurately controlled, the desired thickness of thin portion can be obtained. Specifically, the accuracy for etching the thin portion of the diaphragm falls within the range of  $\pm 4$  micro meters, whereas the accuracy for epitaxial growth falls within the range of  $\pm 1$  micro meter.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-126871

⑬ Int. Cl.<sup>4</sup>  
H 01 L 29/84

識別記号

庁内整理番号

6466-5F

⑭ 公開 昭和60年(1985)7月6日

審査請求 未請求 発明の数 2 (全4頁)

⑮ 発明の名称 半導体感圧装置とその製造法

⑯ 特 願 昭58-234276

⑰ 出 願 昭58(1983)12月14日

⑱ 発 明 者	志 水 勲	高崎市西横手町111番地	株式会社日立製作所高崎工場内
⑲ 発 明 者	稲 葉 透	高崎市西横手町111番地	株式会社日立製作所高崎工場内
⑲ 発 明 者	須 藤 嘉 明	小平市上水本町1479番地	日立マイクロコンピュータエンジニアリング株式会社内
⑳ 出 願 人	株式会社日立製作所	東京都千代田区神田駿河台4丁目6番地	
㉑ 出 願 人	日立マイクロコンピュータエンジニアリング株式会社	小平市上水本町1479番地	
㉒ 代 理 人	弁理士 高橋 明夫	外1名	

## 明 細 書

発明の名称 半導体感圧装置とその製造法

特許請求の範囲

1. 半導体結晶基体の一主表面に感圧部として複数の拡散抵抗層が形成され、この感圧部がダイヤフラム薄肉部となるように、上記基体の他主面に凹陥部が掘られている半導体感圧装置であって、上記ダイヤフラム薄肉部の半導体層底部に絶縁物層が形成されていることを特徴とする半導体感圧装置。
2. 上記絶縁物層はシリコン酸化物またはシリコン窒化物からなる特許請求の範囲第1項記載の半導体感圧装置。
3. シリコン半導体結晶基体の一主表面に感圧部として複数の拡散抵抗層を形成し、この感圧部がダイヤフラム薄肉部となるように基体の他主面をエッチして凹陥部を掘る半導体感圧装置の製造法であって、上記ダイヤフラム薄肉部となる半導体層底部に予め絶縁膜を埋め込み、この絶縁膜によって凹陥部エッチの際にその深さをコントロール

することを特徴とする半導体感圧装置の製造法。

4. 上記絶縁膜は半導体基体表面に酸素又は窒素イオン打ち込みを行い、その上に半導体層を成長させた後、上記酸素又は窒素を活性化して半導体と結合させることにより形成するものである特許請求の範囲第3項記載の半導体感圧装置の製造法。

発明の詳細な説明

〔技術分野〕

本発明は半導体感圧装置における半導体ダイヤフラム形成技術に関し、主としてシリコン・ダイヤフラム形圧力センサを対象とする。

〔背景技術〕

半導体圧力センサはかつてのブルドン管やベローズを用いた機械式圧力センサと異なって超小型化、ならびに高性能化が期待でき、その代表的なものにシリコン・ダイヤフラム形圧力センサがある。

シリコン・ダイヤフラム形圧力センサの構造は、第1図に断面図で及び第2図に底面図で示すように、シリコン単結晶ペレット1の裏面側(1B)

特開昭60-126871(2)

に凹陥部2を掘って薄肉のダイヤフラムとなし、ダイヤフラム薄肉部3の表面(1A)に細長形のゲージ用拡散抵抗層4を配設(平行に4個配列)し、ダイヤフラム上下の圧力差から薄肉部の変形(歪)による上記拡散抵抗層の伸縮をブリッジ結合した抵抗値の変化として電気的に検出するものである。

このようなシリコン・ダイヤフラム形圧力センサにおいて、拡散抵抗層の配設されるダイヤフラム薄肉部の厚さのコントロールはダイヤフラム形圧力センサの性能上きわめて重要である。圧力センサとなる半導体基体にダイヤフラムの凹陥部を形成するには、通常、シリコン単結晶基板の方位による異方性エッチング技術が利用される。たとえば、シリコン単結晶基板(ウエハ)主面の(100)面を使用してKOHなどのアルカリ液を用いる異方性エッチを行うと急峻な斜面を側面にもつ凹陥部が得られるが、結晶欠陥などにより必ずしも均一性の(平面性の良い)ダイヤフラムを得ることはできない。とくに薄肉部の厚さ即ち

凹陥部の深さを所要の寸法に掘るためには、エッチ液の濃度、処理温度及び処理時間のコントロールが必要であるが、この方法では $\pm 4 \mu\text{m}$ の誤差を避けられず、このため精度の良いダイヤフラムを得ることは困難であったということが発明者によってあきらかとされた。

#### 〔発明の目的〕

本発明は上記した問題を解決したものであり、その目的とするところは、ダイヤフラム薄肉部の平面性と厚さのコントロールの容易な半導体ダイヤフラム形成技術の提供にある。

本発明の前記ならびにその他の目的と新規な特徴は本明細書の記載および添付図面よりあきらかになるであろう。

#### 〔発明の概要〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。すなわち、シリコン半導体基体の一主表面に感圧部として複数の拡散抵抗層を形成し、この感圧部がダイヤフラム薄肉部となるように基体の他

主面をエッチして凹陥部を掘る半導体感圧装置の製造法であって、上記薄肉部となる半導体層の底部にあらかじめ絶縁膜を埋め込み、この絶縁膜の存在により凹陥部エッチの際のエッチ深さを精度よくコントロールし発明の目的を達成するものである。

#### 〔実施例〕

第3図乃至第7図は本発明の一実施例を示すものであって、シリコン結晶基板を用いてダイヤフラムセンサを製造する場合のプロセスの工程断面図である。以下各工程に従って詳述する。

(1) 厚さ $400 \mu\text{m}$ 程度のP型不純物ドーブ高比抵抗シリコン基板1を用意し、第3図に示すようにその表面1Aのダイヤフラム領域にO<sub>2</sub>、又はN<sub>2</sub>をマスク5を通してイオン打込みにより導入する。このときのイオン打込みエネルギーは $250 \text{ KeV}$ 、不純物濃度は $10^{16} \text{ atoms/cm}^2$ 、打込み深さは $0.2 \mu\text{m}$ 程度とする。

(2) 次に低圧低温( $800^\circ\text{C}$ )条件下でシリコンのエピタキシャル成長を行い、第4図に示すよう

に $20 \mu\text{m}$ 程度の厚さにn型不純物ドーブ・シリコン結晶層(n型Si層)6を形成する。

(3) この後通常の選択的不純物拡散技術を利用して第5図に示すようにダイヤフラム領域にP型拡散抵抗層7を形成するとともに周辺部にも必要とするICの半導体素子領域(図示されない)を形成する。このときの拡散に伴う熱処理( $1200^\circ\text{C}$ )によって前記(1)工程で導入されたO<sub>2</sub>、又はN<sub>2</sub>が活性化されてp型Si基板とエピタキシャルn型Si層6との界面部分にSiO<sub>2</sub>、又はSi<sub>3</sub>N<sub>4</sub>のごとき絶縁物の膜8が形成される。

(4) この後、上記半導体基板1の裏面1Bを鏡面研磨し、レジスト(耐食性樹脂)又は酸化膜(SiO<sub>2</sub>)によるマスク9を形成し、このマスクの内形の窓を通してダイヤフラム形成のための異方性エッチを行う。この異方性エッチはあらかじめシリコン結晶基板の主面が(100)面となるように選び、KOHなどのアルカリ液をエッチ液として使用することにより、傾斜角 $\theta = 57^\circ$ の凹陥部(円形に近い八角形の凹陥部)2を基板の裏面に掘る。こ

のとき基板1とエピタキシャル層6との間に形成されている $\text{SiO}_2$ 又は $\text{Si}_3\text{N}_4$ 膜等の絶縁膜8がエッチストップとなって凹陥部2の深さがコントロールされ、所望とする薄肉部をもつダイヤフラムが形成される。

また、ダイヤフラム薄肉部の厚さはエピタキシャル層の厚さにより決定される。しかし、エピタキシャル層の膜厚は高精度にコントロール可能であるため、所望の膜厚が得られる。すなわち、エッチングによるダイヤフラム薄肉部の膜厚精度は $\pm 4 \mu\text{m}$ の範囲であるのに対し、エピタキシャル成長の膜厚精度は $\pm 1 \mu\text{m}$ の範囲で膜厚のコントロールが可能である。

#### 〔効果〕

以上実施例で述べた本発明によれば下記のように効果が得られる。

(1) 半導体基体内に絶縁膜を形成した状態で基体表面からアルカリ液を用いて異方性エッチングを行うことにより、上記絶縁膜はアルカリ液にはほとんどエッチされないためこれがストップとなって

所要の深さ所要形状の凹陥部が得られることより、ダイヤフラムの平面性及び厚さの均一性が得られ特性に優れた感圧センサを提供できる。

(2) ダイヤフラム薄肉部の厚さはエピタキシャル層の厚さによりコントロールできるため、所望のダイヤフラム薄肉部の膜厚を得ることができる。

(3) 上記(2)により極めて薄い薄肉部のダイヤフラムを持つ高感度の感圧センサを提供できる。又、厚いダイヤフラムであれば高圧に使用できる感圧センサを提供できる。

(4) 上記(1)～(3)により量産性と高精度化を備えた圧力センサを提供できる。

以上発明者によってなされた発明を実施例にもとづき具体的に説明したが本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

#### 〔利用分野〕

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である半導体感圧装置技術に適用した場合について説明した

が、それに限定されるものではなく、少なくとも、エッチングにより高精度の膜厚を得る条件のものには適用できる。

本発明は同じチップ内にICを共有させた半導体圧力センサのすべてに適用できる。

#### 図面の簡単な説明

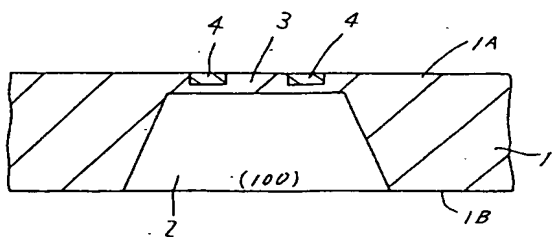
第1図はダイヤフラム形圧力センサの形状を示す断面図である。

第2図は第1図のダイヤフラム圧力センサの凹陥部の形状を示す底面図である。

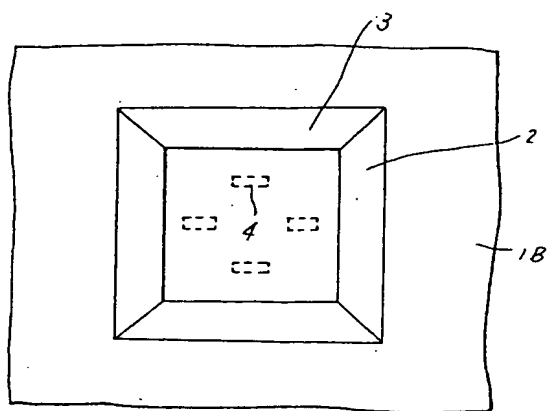
第3図乃至第7図は本発明の一実施例であって、シリコン基板を用いてダイヤフラム形圧力センサを製造する場合のプロセス工程断面図である。

1…P型シリコン基板、2…凹陥部、3…ダイヤフラム(薄肉部)、4…ゲージ用拡散抵抗、5…酸化膜マスク、6…n型エピタキシャルシリコン層、7…P型拡散抵抗、8…絶縁膜、9…マスク。

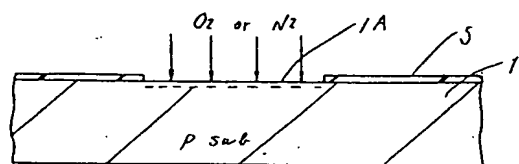
第 1 図



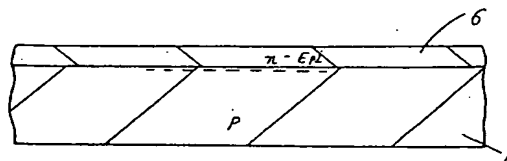
第 2 図



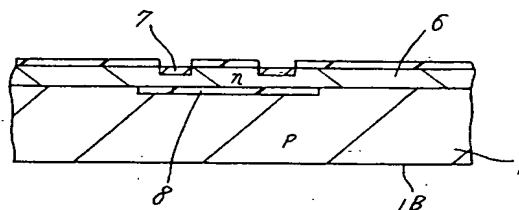
第 3 図



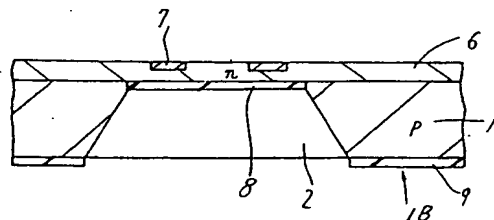
第 4 図



第 5 図



第 6 図



第 7 図

